

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-97292

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

H 01 L 21/90
21/302

識別記号 庁内整理番号

B 7514-4M
F 9277-4M

F I

技術表示箇所

(21)出願番号

特願平4-247850

(22)出願日

平成4年(1992)9月17日

(71)出願人 000002325

セイコー電子工業株式会社
東京都江東区亀戸6丁目31番1号

(72)発明者 清水 亨

東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内

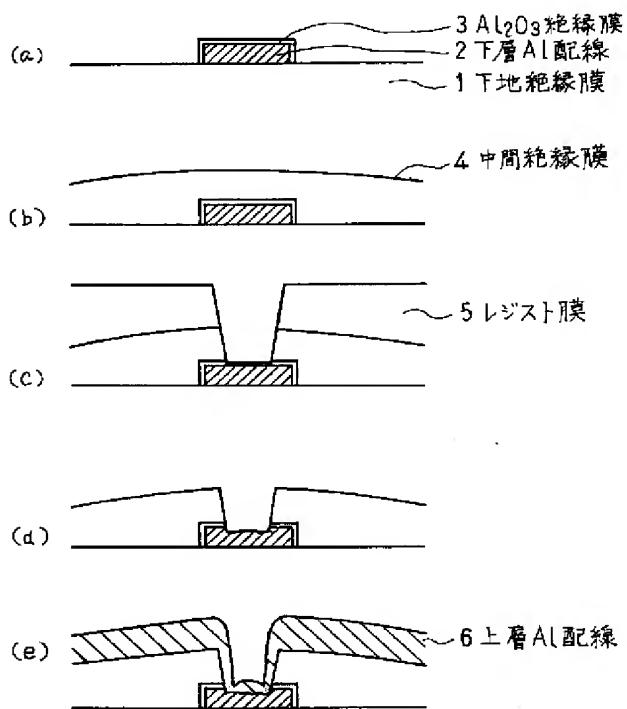
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 下層Al配線と上層Al配線を中間絶縁膜層のコンタクトホールを介して導通させる半導体装置において、中間絶縁膜のコンタクトエッチング時に生じるA1系ポリマーの発生を防止する。

【構成】 下層Al配線上1に中間絶縁膜と異なる種類の絶縁膜2を形成することで、中間絶縁膜のコンタクトエッティング時に起こる炭素ふっ化物系のガスプラズマとA1原子の反応を、中間絶縁膜と異なる種類の絶縁膜層に阻止させ、A1系ポリマーの発生を防ぐ。



【特許請求の範囲】

【請求項1】 下層A1配線と上層A1配線を中間絶縁膜層のコンタクトホールを介して導通させる半導体装置において、全表面の一部分を除いて、中間絶縁膜と異なる絶縁膜にて被覆された下層A1配線上に、前記下層A1配線の露出部分で上層A1配線が接続するように形成されたことを特徴とする半導体装置。

【請求項2】 前記下層A1配線上に前記中間絶縁膜と異なる種類の絶縁膜を形成する工程と、前記絶縁膜の表面全体に前記中間絶縁膜を形成する工程と、フォトリソグラフィ法及びプラズマエッチング法により前記コンタクトホールを前記絶縁膜が露出するまで前記中間絶縁膜に形成する工程と、前記絶縁膜を除去する工程からなることを特徴とする請求項1記載の半導体装置およびその製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、下層A1配線と上層A1配線を中間絶縁膜層のコンタクトホールを介して導通させる半導体装置の製造方法に関する。

【0002】

【従来の技術】従来の技術について、図面に基づいて説明する。図2(a)～(e)は従来の半導体装置の工程順断面図である。図2(a)は、半導体装置表面の下地絶縁膜1上に、下層A1配線2を形成したものであり、図2(b)は、CVD装置を用いて中間絶縁膜4を形成したものである。図2(c)において、レジスト膜5に、フォトリソグラフィ法を用いてコンタクトホールのパターンを形成し、炭素ふっ化物系のガスによるドライエッティングにより中間絶縁膜4をエッチングする。このエッティング中に炭素ふっ化物系のガスプラズマと下層A1配線2のA1原子の反応により、コンタクトホール内の中間絶縁膜4の側壁上にはA1系ポリマー7が付着する。図2(d)は、レジスト膜5を剥離したものであり、図2(e)において、上層A1配線6をPVD法により堆積させたものである。従来の技術として以上のような半導体装置の製造方法が知られていた。

【0003】

【発明が解決しようとする課題】しかし、従来の製造方法では、図2(c)の工程であるドライエッティング時に生じたA1系ポリマー7が、図2(d)および(e)の後工程のパーティクル汚染源となったり、上層A1配線6のコンタクトホール内のコンタクト部分での被覆性に悪影響を与えてしまうという欠点を有していた。

【0004】

【課題を解決するための手段】そこで本発明は上記課題を解決するために、下層A1配線上に中間絶縁膜と異なる種類の絶縁膜を形成することで、中間絶縁膜のエッティング終了時に、中間絶縁膜と異なる種類の絶縁膜で下層A1配線表面を覆う構造にした。

【0005】

【作用】上記のような構造を使用することにより、エッティング時に起きていた炭素ふっ化物系のガスプラズマとA1原子の反応は、中間絶縁膜と異なる種類の絶縁膜層に阻止されるため、A1系ポリマーの発生を防ぐことができる。

【0006】なお、このA1系ポリマーは、A1、フッ素、炭素の化合物と推定される。

【0007】

10 【実施例】以下に本発明の実施例について、図面に基づいて説明する。図1(a)～(e)は本発明の実施例を示す半導体装置の工程順断面図である。図1(a)は、半導体装置表面の下地絶縁膜1上に、パターン化された下層A1配線2を形成し、下地絶縁膜1と下層A1配線2を80°Cの純水中に15分間浸漬することにより、A1₂O₃絶縁膜3を下層A1配線2の全表面に数十nmの厚みで形成させたものであり、図1(b)は、CVD装置を用いて中間絶縁膜4を形成したものである。図1(c)において、レジスト膜5に、フォトリソグラフィ法を用いてコンタクトホールのパターンを形成し、炭素ふっ化物系のガスによるドライエッティングにより、A1₂O₃絶縁膜3の表面が露出するまで、中間絶縁膜4をエッティングする。図1(d)は、レジスト膜5を剥離し、Arガスなどの不活性ガスを用いた逆スペッタリング法によりA1₂O₃絶縁膜3を取り除いて下層A1配線2を露出させたものである。

20 【0008】図1(e)は、図1(d)の後工程として、全面に上層A1配線6をスペッタリング法にて形成したものである。以上のような実施例において、ドライエッティング中の炭素ふっ化物系のガスプラズマと下層A1配線2のA1原子の接触は、A1₂O₃絶縁膜3に阻止され、A1系ポリマーの発生を防ぐことができる。また、図1(a)において、A1₂O₃絶縁膜3の代わりに、Si₃N₄絶縁膜をCVD法により形成させても、同様にA1系ポリマーの発生を防ぐことができる。

【0009】

【発明の効果】この発明は、以上説明したように、下層A1配線上に予め中間絶縁膜と異なる種類の絶縁膜を形成することにより、中間絶縁膜のエッティング終了時に、中間絶縁膜と異なる種類の絶縁膜で下層A1配線表面を覆う状態にできるので、エッティング時に起る炭素ふっ化物系のガスプラズマとA1原子の反応は阻止されるため、下層A1配線と上層A1配線のコンタクト部分にA1系ポリマーの発生を防ぐ効果がある。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体装置の工程順断面図である。

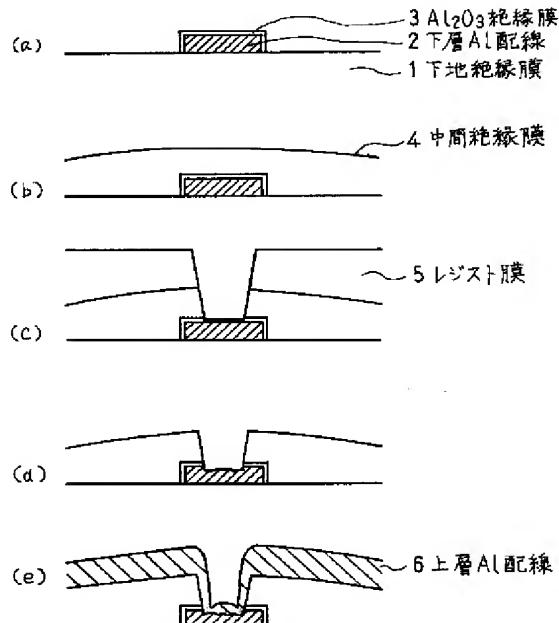
【図2】従来の半導体装置の工程順断面図である。

50 【符号の説明】

3

- 1 下地絶縁膜
- 2 下層Al配線
- 3 Al₂O₃絶縁膜
- 4 中間絶縁膜

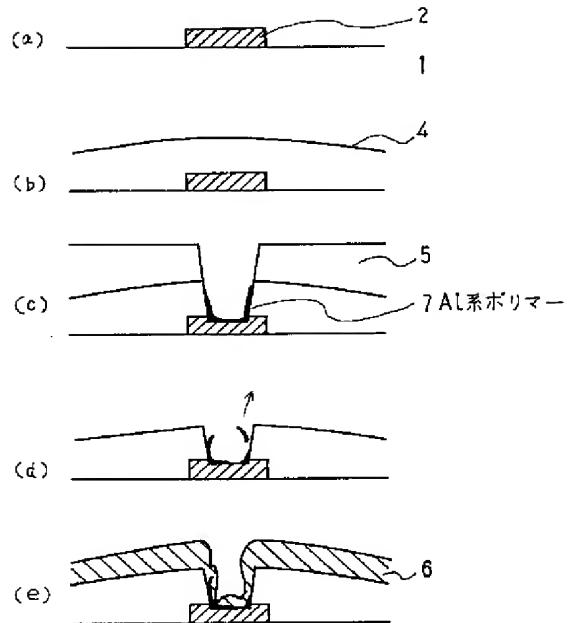
【図1】



4

- 5 レジスト膜
- 6 上層Al配線
- 7 Al系ポリマー

【図2】



PAT-NO: JP406097292A
DOCUMENT-IDENTIFIER: JP 06097292 A
TITLE: SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF
PUBN-DATE: April 8, 1994

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIMIZU, TORU	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO INSTR INC	N/A

APPL-NO: JP04247850
APPL-DATE: September 17, 1992

INT-CL (IPC): H01L021/90 , H01L021/302

US-CL-CURRENT: 438/612 , 438/FOR.354

ABSTRACT:

PURPOSE: To prevent Al polymer from being generated at contact etching made onto an intermediate insulating film in a semiconductor device where a lower Al wiring and an upper Al wiring are electrically connected through the intermediary of a contact hole provided to the intermediate insulating film.

CONSTITUTION: An insulating film 3 different in material from an intermediate insulating film 4 is formed on a lower Al wiring 2, and the reaction of Al atom on gas plasma of carbon fluoride at contact etching on the intermediate insulating film 4 is blocked by the insulating film 3 different in material from the intermediate insulating film 4 to prevent Al polymer from being generated.

COPYRIGHT: (C)1994, JPO&Japio